

2016 年硕士学位研究生入学考试试题

科目代码: 874 科目名称: 微机原理与接口技术 满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本试题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

一、填空题 (每空 2 分, 共 30 分)

- 1、CPU 与 I/O 设备之间传送的信号有_____、_____、_____。
- 2、在微机系统中, 为了提高 CPU 系统数据总线的驱动能力, 可采用_____。
- 3、8255A 的端口 A 和端口 B 工作在方式 1 输出时, 与外部设备的联络信号将使用_____信号。
- 4、从输入设备向内存输入数据时, 若数据不需经过 CPU, 其 I/O 数据传送方式是_____。
- 5、一个 SRAM 芯片, 有 14 条地址线和 8 条数据线, 该芯片最多能储存 ASCII 字符的个数为_____。
- 6、若(DS)=3000H, (SI)=2000H, (DI)=1000H, (AX)=2500H, (3400H)=00H, (3401H)=34H, (3402H)=00H, (3403H)=50H, 变量 AREA 的值为 3000H, 执行指令 LDS SI, AREA[DI]后, SI 的内容是_____, DI 的内容是_____。
- 7、微机系统的主要性能指标包括_____、_____、_____、_____、_____。
- 8、当微处理器复位后, 计算机的第一条指令是从_____处开始运行的。

二、简答题 (共 40 分)

- 1、简述时钟周期、指令周期与总线周期的关系。(5 分)
- 2、锁存器和寄存器有什么不同?(5 分)

- 3、设计 I/O 接口电路时一般遵循什么原则, 为什么?(6 分)
- 4、8086CPU 主要能处理哪些类型的中断, 这些中断的优先级是如何排列的。(6 分)
- 5、存储器体系分哪几级?为何采用分级结构, 各有什么意义?(4 分)
- 6、试说明中断向量、中断类型码及中断向量表的基本概念, 并说明它们之间的区别和联系。(6 分)
- 7、有一数据段设计如下:

```
DATA SEGMENT  
TAB DB 2 DUP(1,0)  
MES DB 'WHAT','$'  
NUM DW 1234H  
DATA ENDS
```

试画出此时数据区中的数据存放图。(4 分)

- 8、什么是 Cache?其在微机系统中有何作用?(4 分)

三、程序编写 (共 15 分)

已知 BUFFER 是由 100 个 8 位有符号数构成的数组。编写完整的程序, 找出数组中最大的偶数, 并存放在 MAX 变量中。

- 四、(共 16 分)一台 8 位微机系统 (CPU 为 8088) 需扩展内存 20K, 其中 ROM 为 4K, RAM 为 16K。ROM 选用 2K×8 位的 EPROM2716 芯片, RAM 选用 8K×8 位的 6264 芯片, 地址空间从 6000H 开始, 要求 RAM 在低地址, ROM 在高地址, 地址连续。请完成:

(1) 给出地址译码表, 写出各芯片的地址范围;(只用地址引脚 A₀-A₁₅)(8分)

(2) 完成硬件连接图(连接存储芯片的所有引脚,可增加其它辅助器件)(8分)

五、(共39分)某系统中CPU为8088,外接8253,8259A,8255A和8251A各一片,要求8253的端口地址为40H、41H、42H、43H,8255A的端口地址为44H、45H、46H、47H,8259A的端口地址为48H、49H,8251A的端口地址为4AH、4BH。

(1) 假设端口只使用地址引脚 A₀-A₇, 给出端口地址译码表。完成CPU与各芯片的硬件连接(只要把CPU的引脚名写在芯片相应的引脚上即可);(12分)

要求8253通道1每隔5毫秒提供一个定时信号给8259A作为中断请求信号,中断类型码为51H。通道2产生的方波提供给8251A作为发送器和接收器的时钟信号(波特率因子为64,传输波特率为960bps)。工作时钟频率为2MHz。

(2) 完成8253与8259A、8251A的硬件连接;确定控制字和计数初值,完成8253初始化程序。(10分)

通过8255A的A口与数码管(共阴极)连接(数码管的位选接地),B口每个引脚接一个开关(开关断开为高电平,闭合为低电平),模拟一位16进制数的输入,利用8253通道1产生的信号,采用中断方式根据开关模拟的16进制数在数码上显示,要求8259A作为中断控制器,中断源以脉冲方式引入系统,采用中断自动结束方式,非缓冲方式,要求在中断服务程序中完成数码管的显示,试完成:

(3) 补充完整8255A与数码管之间的硬件设计;完成8255A的初始化;(4分)

(4) 编写8259A的初始化程序和中断向量的设置。(6分)

(5) 完成中断服务子程序的编写(LED数码管为共阴极接法,0-F所对应的字模编码为:3FH,06H,5BH,4FH,66H,6DH,7DH,07H,7FH,6FH,77H,7CH,39H,5EH,79H,71H,已经定义在TABLE开始的存储区)(4分)

要求8251工作在半双工异步方式、5个数据位/字符、偶校验、1.5个停止位、波特率因子为64。

(6) 完成这片8251的初始化程序。(3分)

六、(共10分)8086CPU采用双缓冲的方式与一片DAC0832相连,0832的输出为单极性输出(输出电压0V到5.10V),试编程实现幅值为1.2V的三角波,设端口地址1为220H,端口地址2为222H。

附录(辅助材料)

一. 存储器芯片资料

1. 静态RAM存储器芯片 Intel6264

规格: 8K×8 地址引脚: A₀-A₁₂: 数据引脚: D₇-D₀:

控制信号及对应的操作如下:

\overline{CS}_1	CS ₂	\overline{OE}	\overline{WE}	操作
0	1	0	1	读
0	1	1	0	写

2. EPROM存储器芯片 Intel2716

规格: 4K×8 地址引脚: A₀-A₁₀: 数据引脚: O₇-O₀:

控制信号及对应的操作如下:

\overline{CE} (片选)	\overline{OE}	操作
0	0	读

3. 译码器芯片 74LS138 规格: 3-8译码器:

3-8译码器真值表						
G ₁	\overline{G}_{2A}	\overline{G}_{2B}	C	B	A	输出特性
1	0	0	0	0	0	$\overline{Y}_0=0$, 其余全为1
1	0	0	0	0	1	$\overline{Y}_1=0$, 其余全为1

1	0	0
1	0	0	1	1	1	$\overline{Y}_7=0$, 其余全为 1

二. 8088/8086 微机系统常用接口芯片控制及状态字

1. Intel 8259A

(1). ICW₁ 写入 8259A 偶地址端口 A₀=0

ICW₁ 的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
×	×	×	1	LTIM	ADI	SNGL	IC ₄

D₇~D₅: 在 8086/8088 系统中不用, 可随意设置;

D₄: 恒定为 1, 为 ICW₁ 的特征位;

D₃: LTIM 位, 规定中断请求信号的触发方式, LTIM=1, 为电平触发方式; LTIM=0, 为边沿触发方式;

D₂: ADI 位, 在 8086/8088 系统中不用, 可随意设置;

D₁: SNGL 位, 若 8259A 单片工作, SNGL=1, 否则 SNGL=0.

D₀: IC₄ 位, IC₄=1, 表示对相应 8259A 芯片初始化时, 须设置 ICW₄; 若 ICW₄ 的各位都为 0, 则不需设置 ICW₄.

(2). ICW₂ 写入 8259A 奇地址端口 A₀=1

ICW₂ 用以设置相应 8259A 芯片所管理 8 级中断源的中断类型码, 其中低 3 位为 8 级中断源的编码, 高 5 位由用户自由设置.

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
						×	×

(3). ICW₃ 写入 8259A 奇地址端口 A₀=1

ICW₃ 用于 8259A 的级联方式

对主片来讲, 如果 IR_i 接有从片, 则其 ICW₃ 中相应的位置 1; 否则, 其 ICW₃ 中相应的位置 0.

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
IR ₇	IR ₆	IR ₅	IR ₄	IR ₃	IR ₂	IR ₁	IR ₀

对从片来讲, D₇~D₃ 不用, 可以随意设置, D₂~D₀ 为该从片中断请求输出信号所接主 8259A 芯片中断输入引脚 IR_i 中, i 的编码.

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
×	×	×	×	×	ID ₂	ID ₁	ID ₀

(4). ICW₄ 写入 8259A 奇地址端口 A₀=1

ICW₄ 的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	SFNM	BUF	M/S	AEOI	μPM

D₇~D₅: 恒定为 000, 是 ICW₄ 的特征位;

D₄: SFNM 位, SFNM=1, 中断优先级设置为特殊的全嵌套模式; SFNM=0, 中断优先级设置为普通的全嵌套模式;

D₃: BUF 位, 若 8259A 通过外部总线缓冲器与系统数据总线相连, 则置 BUF=1; 若

8259A 与系统数据总线直接相连, 则置 BUF=0;

D₂: M/S 位: 在缓冲方式下, 用来表明相应 8259A 是否主片, 若为主片, 置 M/S=1; 否则置 M/S=0; 在非缓冲方式下; 该位没有实际意义, 可以随意设置.

D₁: AEOI 位: AEOI=1, 置自动中断结束方式; AEOI=0, 中断结束需用中断结束命令.

D₀: μPM 位: 若系统中微处理器选用 8086/8088, 则设置 μPM=1; 若系统中微处理器选用 8080/8085, 则设置 μPM=0;

(5). OCW₁ 写入 8259A 奇地址端口 A₀=1

若使 8259A 的 IR_i 中断请求呈屏蔽状态; 则置 OCW₁ 中的第 i 位=1, 否则, 置 OCW₁ 中的第 i 位=0,

OCW₁ 的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
M ₇	M ₆	M ₅	M ₄	M ₃	M ₂	M ₁	M ₀

2. Intel 8253

8253 的方式控制字写入 8253 的控制字寄存器, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC ₁	SC ₀	RW ₁	RW ₂	M ₂	M ₁	M ₀	BCD

SC₁~SC₀: 通道选择位, 00: 选择通道 0; 01: 选择通道 1; 10: 选择通道 2; 11: 非法;

RW₁~RW₀: 读/写方式选择位, 00: 发锁存控制命令; 01: 只读/写低位字节; 10: 只读/写高位字节; 11: 依次读/写低位、高位字节;

M₂~M₀: 工作方式选择位, 000: 方式 0; 001: 方式 1; ×10: 方式 2; ×11: 方式 3; 100: 方式 4; 101: 方式 5;

BCD: 计数数制选择位, BCD=1, 按十进制 (BCD 码) 计数; 否则, 按二进制计数.

3. Intel 8255A

(1). 8255A 的命令控制字写入 8255 的控制字寄存器

8255 命令控制字的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	A 组工作方式	A 口 I/O	PC ₇ ~PC ₄ I/O	B 组工作方式	B 口 I/O	PC ₃ ~PC ₀ I/O	

D₇: 恒为 1, 8255A 命令控制字的特征位

D₆~D₅: A 组工作方式选择位, 00: 方式 0; 01: 方式 1; 1×: 方式 2;

D₄: A 口 I/O 选择位, 0: 输出; 1: 输入;

D₃: PC₇~PC₄I/O 选择位, 0: 输出; 1: 输入;

D₂: B 组工作方式选择位, 0: 方式 0; 1: 方式 1;

D₁: B 口 I/O 选择位, 0: 输出; 1: 输入;

D₀: PC₃~PC₀I/O 选择位, 0: 输出; 1: 输入;

(2). 8255A 的端口 C 置位/复位命令控制字写入 8255 的控制字寄存器

8255 的端口 C 置位/复位命令控制字的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	×	×	×	C 口相应位的编码	置位/复位选择		

D₇: 恒为 0, 8255A 的端口 C 置位/复位命令控制字的特征位;

D₆~D₄: 未用, 可以随意设置;

D₃~D₁: C 端口中需要置位/复位的位编码;

D₀: 置位/复位选择位, D₀=1: 置位; D₀=0: 复位.

4. Intel 8251

(1).方式控制字, 写入 8251 的奇地址端口, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
S ₂	S ₁	EP	PEN	L ₂	L ₁	B ₂	B ₁

D₇~D₆: 异步通信方式下, 用来设置停止位的个数, 00: 无效; 01: 1 位; 10: 1.5 位; 11: 2 位; 同步通信方式下, D₆ 用来设置内、外同步方式, D₆=0 设置内同步, D₆=1 设置外同步; D₇ 位用来确定同步字符的个数, D₇=1 设置单同步字符; D₇=0 设置双同步字符;

D₅: 奇/偶校验选择位, D₅=1, 选择偶校验; D₅=0, 选择奇校验;

D₄: 奇/偶校验允许位, D₄=1, 允许设置奇/偶校验位; D₄=0, 不允许设置奇/偶校验位;

D₃~D₂: 用以确定所传送数据字符的位数, 00: 5 位; 01: 6 位; 10: 7 位; 11: 8 位

D₁~D₀: 用以确定发送与接收数据的速率

00: 用于同步传送;

01: 用于异步传送, 波特率系数为 1;

10: 用于异步传送, 波特率系数为 16;

11: 用于异步传送, 波特率系数为 64。

(2).控制命令字, 写入 8251 的奇地址端口, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
EH	IR	RTS	ER	SBRK	RxE	DTR	TxEN

D₇: EH 位, EH=1 用以启动搜索同步字符;

D₆: IR 位, IR=1 迫使 8251 内部复位;

D₅: RTS 位, RTS=1 使 8251 从相应引脚输出有效信号;

D₄: ER 位, ER=1 使所有错误标志复位;

D₃: SBRK 位, SBRK=1 迫使 8251 发中止符;

D₂: RxE 位, RxE=1 允许接收;

D₁: DTR 位, DTR=1 数据终端准备好;

D₀: TxEN 位, 允许发送。

(3).工作状态字, 从 8251 的奇地址端口读入, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
DSR	SYNDET	FE	OE	PE	TxE	RxRDY	TxRDY

D₇: DSR 位, 若 8251 的 \overline{DSR} 引脚输入有效信号, 则该位被置 1;

D₆: SYNDET 位, 若 8251 的 SYNDET 引脚为高电平, 则该位被置 1;

D₅: FE 位, 若在数据接收过程中, 出现了帧错误, 则该位被置 1;

D₄: OE 位, 若在数据接收过程中, 出现了溢出错误, 则该位被置 1;

D₃: PE 位, 若在数据接收过程中, 出现了奇偶校验错误, 则该位被置 1;

D₂: TxE 位, 若 8251 的 TxE 引脚为高电平, 则该位被置 1;

D₁: RxRDY, 若 8251 的 RxRDY 引脚为高电平, 则该位置 1;

D₀: TxRDY, 若 8251 的数据发送缓冲器空, 则该位被置 1;