南京理工大学

2017 年硕士学位研究生入学考试试题

科目代码：874　　科目名称：微机原理与接口技术　　满分：150 分

注意：①认真阅读答题纸上的注意事项；②所有答案必须写在答题纸上，写在本试题纸或草稿纸上均无效；③本试题纸须随答题纸一起装入试题袋中交回！

一、填空题(每空 2 分，共 40 分)

1. 8086/8088 的部件中与地址形成无关的是_____。
2. 组成最大模式下的最小系统，除 CPU、时钟电路，ROM，RAM 及 I/O 接口外，至少需增加的芯片类型有_____ 和_____。
3. 需要定期刷新的存储器是_____。
4. 采用硬件最少的数据传送方式是_____。
5. 主机与外设信息传送的方式分别为查询方式、中断方式、DMA 方式。相比之下，中断方式的主要优点是_____。
6. 8253 端口地址为 40H~43H，通道 0 作为计数器，计数时钟频率为 2MHz。下面程序段执行后，输出脉冲的宽度是_____。

```
MOV   AL, 36H
OUT   43H, AL
MOV   AX, 20000
OUT   40H, AL
MOV   AL, AH
OUT   40H, AL
```

7. 将存储器与系统相连的译码片选方式有_____ 、_____和 _____ 。
8. 在 CPU 与外设之间设计接口电路的目的主要有_____ 、_____、 _____ 和控制数据传输速度。
9. 集成 ADC0809 可以锁存_____路模拟信号。
10. 执行指令 IRET 后弹出堆栈的寄存器先后顺序为_____ 、_____和 Flags。
11. 异步串行通信中，收发双方必须保持_____和数据格式相同。
12. 8086 的中断向量表位于内存的_____区域，它可以容纳_____个中断向量，每一个向量占_____个字节。

二、简答题(每题 5 分，共 40 分)

1. 详细叙述总线缓冲器的作用。
2. 简述 BIU、EU 单元作用。
3. 判断下列指令书写是否正确，如有错误，指出错在何处并用正确的程序段实现原错误指令期望实现的操作。

(1)MOV AL，BX　　(2)INC [BX]　　(3)PUSH AL

(4)POP [BX]　　(5)MOV [BX]，[SI]

4. 8086 系统中存储器的逻辑地址由什么组成？物理地址是如何得到的?每个段的逻辑地址与寄存器之间有何对应关系？
5. 模/数转换器与 CPU 接口中的时间配合问题如何解决？各有何特点？
6. 8086 指令队列的作用是什么？
7. 8086 CPU 主要能处理哪些类型的中断，这些中断的优先级是如何排列的。
8. 一般的 I/O 接口电路有哪些寄存器，它们各自的作用是什么？

三、编程(10 分)

试编写完整的汇编程序(包括数据段定义、返回 DOS 等)，求出首地址为 BUFF 的 1000 个带符号字节数组中正数、零和负数的个数，分别存入 PLUS、ZERO 和 MINUS 单元中。

四、存储器扩展及接口(60 分)

1、一台 8 位微机系统(CPU 为 8088)需扩展内存 16K，其中 ROM 为 4K，RAM 为 12K。ROM 选用 2K×8 位的 EPROM2716 芯片，RAM 选用 4K×8 位的 6232 芯片，地址空间从 4000H 开始，要求 RAM 在低地址，ROM 在高地址，地址连续。请完成：(14 分)

(1)给出地址译码表，写出各芯片的地址范围；(只用地址引脚 A0-A15)

(2)完成硬件连接图(可增加其它辅助器件)。

2、某系统中 CPU 为 8088，外接 8253，8259A，8255A 和 8251A 各一片，要求 8253 的端口地址为 48H、49H、4AH、4BH，8255A 的端口地址为 4CH、4DH、4EH、4FH，8259A 的端口地址为 50H、51H，8251A 的端口地址为 52H、53H。

(1)完成 CPU 与各芯片的硬件连接(只要把 CPU 的引脚名写在芯片相应的引脚上即可)；(12 分)

(2)假设端口只使用地址引脚 A0-A7，给出端口地址译码表。(2 分)

要求 8253 通道 0 每隔 25ms 提供一个定时信号给 8259A 作为中断请求信号，中断类型码为 74H。通道 2 产生的方波提供给 8251A 作为发送器和接收器的时钟信号。工作时钟频率为 2MHz。

(3)完成 8253 与 8259A、8251A 的硬件连接；(4 分)

(4)确定控制字和计数初值，完成 8253 初始化程序。(6 分)

通过 8255A 的 A 口与 8 个发光二极管连接，利用 8253 通道 0 产生的信号，采用中断方式使 8 个发光二极管轮流点亮，每 25 毫秒切换一位，要求 8259A 作为中断控制器，中断源以脉冲方式引入系统，采用中断自动结束方式，非缓冲方式，要求在中断服务程序中完成二极管轮流点亮，试完成：

(5)补充完整 8255A 与开关和发光二极管之间的硬件设计；(2 分)

(6)编写程序，完成 8259A 的初始化和中断向量的设置。(7 分)

(7)完成 8255A 的初始化；(2 分)

(8)完成中断服务子程序的编写(假设用 BL 寄存器来保存点亮的二极管位置，初值为 01H 已经设置好)。(4 分)

要求 8251 工作在半双工异步方式、6 个数据位/字符、偶校验、1 个停止位、波特率因子为 16，传输波特率为 1200 波特 bps(即 1200 位/秒)，要求接收外设发来的 150 个字节数据存放在 BUFF 开始的数据区。
(9)完成这片 8251 的初始化及接收程序。(7 分)

附录(辅助材料)

一. 存储器芯片资料

1. 静态 RAM 存储器芯片 Intel6232
   规格：4K×8　地址引脚：A_0-A_{11}：　数据引脚：D_7-D_0：
   控制信号及对应的操作如下：

$\overline{CS_1}$	$\overline{OE}$	$\overline{WE}$	操作
0	0	1	读
0	1	0	写

2. EPROM 存储器芯片 Intel2716
   规格：2K×8　地址引脚：A_0-A_{10}：　数据引脚：O_7-O_0：
   控制信号及对应的操作如下：

$\overline{CE}$ (片选)	$\overline{OE}$	操作
0	0	读

3. 译码器芯片 74LS138　规格：3-8 译码器：

3-8 译码器真值表						
G_1	$\overline{G_{2A}}$	$\overline{G_{2B}}$	C	B	A	输出特性
1	0	0	0	0	0	$\overline{Y_0}$=0，其余全为 1
1	0	0	0	0	1	$\overline{Y_1}$=0，其余全为 1
1	0	0	…	…	…	……
1	0	0	1	1	1	$\overline{Y_7}$=0，其余全为 1

二. 8088/8086 微机系统常用接口芯片控制及状态字

1. Intel 8259A

(1). ICW_1 写入 8259A 偶地址端口 A_0=0
ICW_1 的格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
×	×	×	1	LTIM	ADI	SNGL	IC_4

D_7~D_5：在 8086/8088 系统中不用，可随意设置；
D_4：恒定为 1，为 ICW_1 的特征位；
D_3：LTIM 位，规定中断请求信号的触发方式，LTIM=1，为电平触发方式；
LTIM=0，为边沿触发方式；
D_2：ADI 位，在 8086/8088 系统中不用，可随意设置；
D_1：SNGL 位，若 8259A 单片工作，SNGL=1，否则 SNGL=0。
D_0：IC_4 位，IC_4=1，表示对相应 8259A 芯片初始化时，须设置 ICW_4：若 ICW_4 的各位都为 0，则不需须设置 ICW_4。

(2). ICW_2 写入 8259A 奇地址端口 A_0=1

ICW_2 用以设置相应 8259A 芯片所管理 8 级中断源的中断类型码，其中低 3 位为 8 级中断源的编码，高 5 位由用户自由设置。

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
					×	×	×

(3). ICW_3 写入 8259A 奇地址端口 A_0=1
ICW_3 用于 8259A 的级联方式
对主片来讲，如果 IR_i 接有从片，则其 ICW_3 中相应的位置 1；否则，其 ICW_3 中相应的位置 0。

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
IR_7	IR_6	IR_5	IR_4	IR_3	IR_2	IR_1	IR_0

对从片来讲，D_7~D_3 不用，可以随意设置，D_2~D_0 为该从片中断请求输出信号所接主 8259A 芯片中断输入引脚 IR_i 中，i 的编码。

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
×	×	×	×	×	ID_2	ID_1	ID_0

(4).ICW_4 写入 8259A 奇地址端口 A_0=1
ICW_4 的格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	SFNM	BUF	M/S	AEOI	μPM

D_7~D_5：恒定为 000，是 ICW_4 的特征位；
D_4：SFNM 位，SFNM=1，中断优先级设置为特殊的全嵌套模式；SFNM=0，中断优先级设置为普通的全嵌套模式；
D_3：BUF 位，若 8259A 通过外部总线缓冲器与系统数据总线相连，则置 BUF=1；若 8259A 与系统数据总线直接相连，则置 BUF=0；
D_2：M/S 位：在缓冲方式下，用来表明相应 8259A 是否主片，若为主片，置 M/S=1；否则置 M/S=0；在非缓冲方式下；该位没有实际意义，可以随意设置。
D_1：AEOI 位：AEOI=1，置自动中断结束方式；AEOI=0，中断结束需用中断结束命令。
D_0：μPM 位：若系统中微处理器选用 8086/8088，则设置 μPM=1；若系统中微处理器选用 8080/8085，则设置 μPM=0；

(5). OCW_1 写入 8259A 奇地址端口 A_0=1
若使 8259A 的 IR_i 中断请求呈屏蔽状态；则置 OCW_1 中的第 i 位=1，否则，置 OCW_1

中的第 i 位=0，

OCW_1 的格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
M_7	M_6	M_5	M_4	M_3	M_2	M_1	M_0

2．Intel 8253

8253 的方式控制字写入 8253 的控制字寄存器，格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SC_1	SC_0	RW_1	RW_2	M_2	M_1	M_0	BCD

SC_1~SC_0：通道选择位， 00：选择通道 0；01：选择通道 1； 10：选择通道 2；11：非法；

RW_1~RW_0：读/写方式选择位，00：发锁存控制命令； 01：只读/写低位字节；10：只读/写高位字节 ；11：依次读/写低位、高位字节；

M_2~M_0：工作方式选择位，000：方式 0；001：方式 1；×10：方式 2；×11：方式 3；100：方式 4；101：方式 5；

BCD：计数数制选择位，BCD=1，按十进制(BCD 码)计数；否则，按二进制计数。

3．Intel 8255A

(1).8255A 的命令控制字写入 8255 的控制字寄存器

8255 命令控制字的格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	A 组工作方式		A 口 I/O	PC_7~PC_4I/O	B 组工作方式	B 口 I/O	PC_3~PC_0I/O

D_7：恒为 1，8255A 命令控制字的特征位

D_6~D_5：A 组工作方式选择位，00：方式 0；01：方式 1；1×：方式 2；

D_4：A 口 I/O 选择位，0：输出；1：输入；

D_3：PC_7~PC_4I/O 选择位，0：输出；1：输入；

D_2：B 组工作方式选择位，0：方式 0；1：方式 1；

D_1：B 口 I/O 选择位，0：输出；1：输入；

D_0：PC_3~PC_0I/O 选择位，0：输出；1：输入；

(2). 8255A 的端口 C 置位/复位命令控制字写入 8255 的控制字寄存器

8255 的端口 C 置位/复位命令控制字的格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	×	×	×	C 口相应位的编码			置位/复位选择

D_7：恒为 0，8255A 的端口 C 置位/复位命令控制字的特征位；

D_6~D_4：未用，可以随意设置；

D_3~D_1：C 端口中需要置位/复位的位编码；

D_0：置位/复位选择位，D_0=1：置位；D_0=0：复位。

4．Intel 8251

(1).方式控制字，写入 8251 的奇地址端口，格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
S_2	S_1	EP	PEN	L_2	L_1	B_2	B_1

D_7~D_6：异步通信方式下，用来设置停止位的个数，00：无效；01：1 位；10：1.5 位；11：2 位；同步通信方式下，D_6 用来设置内、外同步方式，D_6=0 设置内同步，D_6=1 设置外同步； D_7 位用来确定同步字符的个数，D_7=1 设置单同步字符；D_7=0 设置双同步字符；

D_5：奇/偶校验选择位，D_5=1，选择偶校验；D_5=0，选择奇校验；

D_4：奇/偶校验允许位，D_4=1，允许设置奇/偶校验位；D_4=0，不允许设置奇/偶校验位；

D_3~D_2：用以确定所传送数据字符的位数，00：5 位；01：6 位；10：7 位；11：8 位

D_1~D_0：用以确定发送与接收数据的速率

00：用于同步传送；

01：用于异步传送，波特率系数为 1；

10：用于异步传送，波特率系数为 16；

11：用于异步传送，波特率系数为 64。

(2).控制命令字，写入 8251 的奇地址端口，格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
EH	IR	RTS	ER	SBRK	RxE	DTR	TxEN

D_7：EH 位，EH=1 用以启动搜索同步字符；

D_6：IR 位，IR=1 迫使 8251 内部复位；

D_5：RTS 位，RTS=1 使 8251 从相应引脚输出有效信号；

D_4：ER 位，ER=1 使所有错误标志复位；

D_3：SBRK 位，SBRK=1 迫使 8251 发中止符；

D_2：RxE 位，RxE=1 允许接收；

D_1：DTR 位，DTR=1 数据终端准备好；

D_0：TxEN 位，允许发送。

(3).工作状态字，从 8251 的奇地址端口读入，格式如下：

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
DSR	SYNDET	FE	OE	PE	T_xE	R_xRDY	T_xRDY

D_7：DSR 位，若 8251 的 $\overline{DSR}$ 引脚输入有效信号，则该位被置 1；

D_6：SYNDET 位，若 8251 的 SYNDET 引脚为高电平，则该位被置 1；

D_5：FE 位，若在数据接收过程中，出现了帧错误，则该位被置 1；

D_4：OE 位，若在数据接收过程中，出现了溢出错误，则该位被置 1；

D_3：PE 位，若在数据接收过程中，出现了奇偶校验错误，则该位被置 1；

D_2：TxE 位，若 8251 的 TxE 引脚为高电平，则该位被置 1；

D_1：RxRDY，若 8251 的 RxRDY 引脚为高电平，则该位置 1；

D_0：TxRDY，若 8251 的数据发送缓冲器空，则该位被置 1；