

2013 年硕士学位研究生入学考试试题

科目代码: 872

科目名称: 电力电子技术

满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本题纸或草稿纸上均无效; ③本题纸须随答题纸一起装入试题袋中交回!

一、填空题 (每空 1 分, 共 40 分):

- 1、电力二极管的主要类型有 (1)、(2) 和肖特基二极管。
- 2、晶闸管对触发脉冲的要求是 (3)、(4) 和 (5)。
- 3、造成逆变失败的原因有 (6)、(7)、(8)、(9) 等几种。
- 4、当负载为大电感负载, 如不加续流二极管, 在电路中出现触发脉冲丢失时, (10) 与 (11) 电路会出现失控现象。
- 5、变流电路常用的换流方式有 (12)、(13)、(14) 和 (15) 四种。
- 6、要使三相桥式全控整流电路正常工作, 对晶闸管触发方法有两种, 一是用 (16) 触发; 二是用 (17) 触发。
- 7、 $180^\circ$  导电型三相桥式逆变电路, 晶闸管换相是在 (18) 上的上、下两个元件之间进行; 而  $120^\circ$  导电型三相桥式逆变电路, 晶闸管换相是在 (19) 上的元件之间进行的。
- 8、在单相交流调压电路中, 负载为电阻性时开通角  $\alpha$  的移相范围是 (20), 负载为阻感性时移相范围是 (21)。
- 9、美国学者 Newell 博士用倒三角形描述电力电子技术是由 (22)、(23)、(24) 组成的。
- 10、软开关电路可分成 (25)、(26)、(27) 等电路。
- 11、目前常用的具有自关断能力的电力电子元件有 (28)、(29)、(30)、(31) 等。
- 12、电力电子器件的缓冲电路一般分为 (32) 和 (33), 其中利用 (34) 不能突变的原理, 抑制  $di/dt$ , 且减小开关损耗。
- 13、PWM 逆变电路的控制方法有 (35)、(36)、(37) 三种。
- 14、三相半波可控整流电路, 输出到负载的平均电压波形脉动频率为 (38) Hz; 而三相桥式全控整流电路, 输出到负载的平均电压波形脉动频率为 (39) Hz; 这说明 (40) 电路的纹波系数小。

二、简答题 (共 50 分):

- 1、什么是有源逆变? 并简述实现有源逆变的条件。(6 分)
- 2、交交变频电路的最高输出频率是多少? 制约输出频率提高的因素是什么? (6 分)
- 3、简述 PWM 逆变电路的异步调制控制方式的特点。(6 分)
- 4、简述 PWM 控制的基本原理。(6 分)
- 5、电压型逆变电路中反馈二极管的作用是什么? 为什么电流型逆变电路中没有反馈二极管? (6 分)
- 6、什么是逆变失败? 逆变失败后有什么后果? (6 分)

7、画出单相桥式逆变电路, 并简述其采用单极性 PWM 控制时的工作原理。(7 分)

8、画出升压直流斩波电路原理图, 并简述其工作过程。(7 分)

三、(15 分) 三相半波可控整流电路,  $U_2=220V$ , 带电阻电感负载,  $R=10\Omega$ ,  $L$  足够大, 当控制角  $\alpha=45^\circ$  时, 计算:

- ① 负载电流的平均值  $I_d$  和有效值  $I$ ; (5 分)
- ② 晶闸管电流的平均值  $I_{dVT}$  和有效值  $I_{VT}$ ; (5 分)
- ③ 变压器二次电流的平均值  $I_{2d}$  和有效值  $I_2$ 。(5 分)

四、(15 分) 三相桥式全控整流电路, 开关管采用晶闸管, 反电动势阻感负载,  $E=100V$ ,  $U_2=110V$ ,  $R=1\Omega$ ,  $L=\infty$ ,  $\alpha=60^\circ$ ,  $L_B=1mH$ 。已知  $\Delta U_d = \frac{6X_B I_d}{2\pi}$ ,

$$\cos\alpha - \cos(\alpha + \gamma) = \frac{2X_B}{\sqrt{6}U_2} I_d。要求:$$

- ① 画出主电路接线图, 并标明开关管的序号; (6 分)
- ② 计算  $U_d$ ,  $I_d$  和  $\gamma$  的值。(9 分)

五、(15 分) 升降压(Buck-Boost)直流斩波电路中, 已知  $E=100V$ , 负载电阻  $R=20\Omega$ , 电路中的  $L$  和  $C$  都很大。采用脉宽调制控制方式, 要求:

- ① 画出升降压直流斩波电路图; (6 分)
- ② 输出电压平均值  $U_o=80V$  时, 求占空比  $\alpha$ ; (5 分)
- ③ 占空比  $\alpha=0.6$  时, 求输出电流平均值  $I_o$ 。(4 分)

六、单相交流调压电源向电阻负载供电, 在开通角  $\alpha=0$  时输出功率为最大值, 试求开通角  $\alpha$  分别为  $30^\circ$  和  $60^\circ$  时, 输出功率占最大输出功率的百分比。

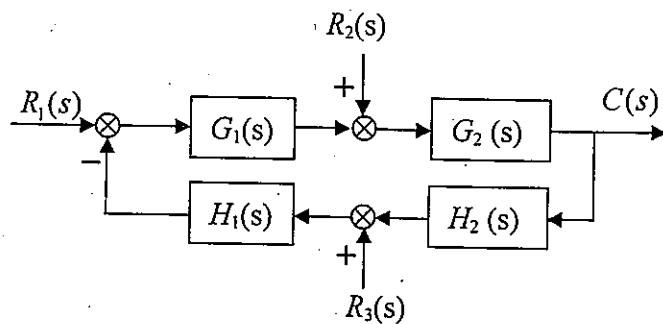
(15 分)

2013 年硕士学位研究生入学考试试题

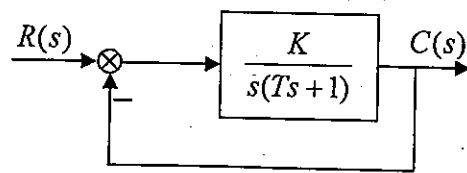
科目代码: 873 科目名称: 自动控制理论 满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

一、(10 分) 已知系统结构如下图所示, 求输出  $C(s)$  的表达式。



二、(20 分) 已知系统结构如下图所示:



当输入信号  $r(t) = \sin t$  时, 系统稳态输出  $c(t) = \sin(t - 90^\circ)$ , 试求:

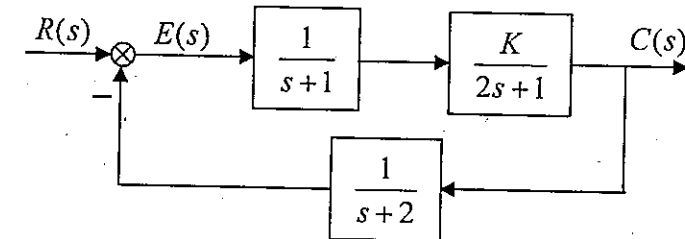
- (1) 系统阻尼比  $\zeta$  和自然频率  $\omega_n$ ;
- (2) 系统阶跃响应的超调量和调节时间 ( $\Delta = 5\%$ );
- (3) 若要求通过施加测速反馈使得系统阻尼比增加 50%, 试画出施加测速反馈后系统的结构图, 并求此时测速反馈环节的参数。

三、(10 分) 已知某单位负反馈系统开环传递函数为:  $G(s) = \frac{K_1(s+1)}{s(s-2)(s+5)}$ , 试求使闭环系统稳定的开环增益的取值范围。

四、(10 分) 已知某单位负反馈系统开环传递函数为:  $G(s) = \frac{23}{(s+1)(s+2)}$ , 试求:

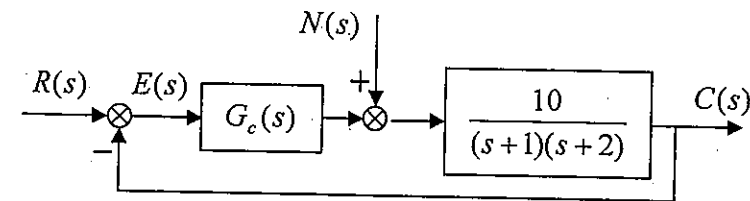
- (1) 输入为单位阶跃信号时, 系统输出的稳态值  $c_{ss}$  和稳态误差  $e_{ss}$ ;
- (2) 输入为单位阶跃信号时, 系统输出的最大值  $c_{max}$ 。

五、(15 分) 已知系统结构如下图所示, 其中  $K > 0$ :



- (1) 试绘制开环系统概略 Nyquist 图;
- (2) 利用 Nyquist 稳定判据求出使闭环系统稳定的  $K$  值范围;
- (3) 若要求系统跟踪幅值为正的阶跃信号时, 稳态误差小于输入信号的 10%, 求出此时  $K$  的取值范围。

六、(15 分) 已知系统结构如下图所示:



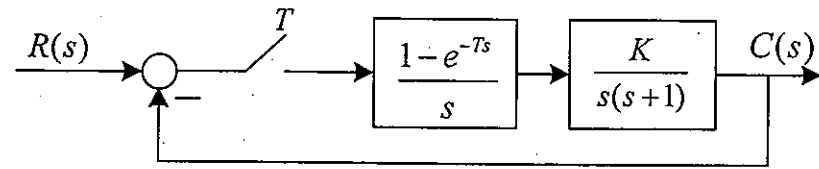
- (1) 当  $N(s) = 0$ ,  $G_c(s)$  为 PI 控制器时, 即  $G_c(s) = K_p + \frac{K_i}{s}$ , 若要求输入  $r(t) = 2t$  时, 系统稳态误差小于 0.2, 求出此时  $K_p$ 、 $K_i$  的取值范围;
- (2) 若扰动信号  $n(t)$  为阶跃信号时, 要求系统能完全克服扰动对输出的影响, 试设计相应的  $G_c(s)$ 。

七、(15 分) 已知单位负反馈控制系统开环传递函数为:

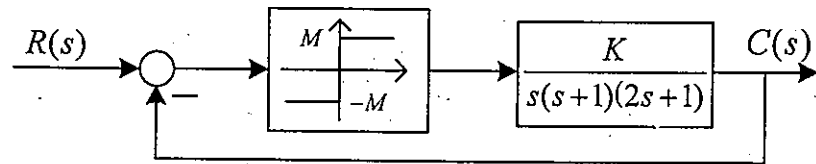
$$G(s) = \frac{K(s+1)}{s(s-2)}$$

- (1) 试绘制该系统的根轨迹图, 并求  $K = 8$  时的闭环极点;
- (2) 求出  $K = 8$  时系统的单位阶跃响应, 判定系统是否存在超调并说明原因。

八、(15分) 某采样控制系统如下图所示, 其中  $T = 0.5$ , 试求: (1) 系统的闭环脉冲传递函数; (2) 求取使闭环系统稳定的  $K$  值范围。



九、(10分) 某非线性系统结构如下图所示, 已知图中非线性环节的描述函数为  $N(X) = 4M/(\pi X)$ , 试求: (1) 当  $K = 3$ ,  $M = 1$  时, 系统自激振荡的频率和振幅; (2) 试讨论系统在“有”及“无”非线性环节时,  $K$  值对系统稳定性的影响。



十、(15分) 已知某控制系统的传递函数为:

$$G(s) = \frac{10}{s(s+1)}$$

试求:

- (1) 该系统状态空间描述的可观测标准形实现;
- (2) 设计状态反馈控制器  $u = Kx$ , 使闭环系统的极点位于  $-10 \pm j10$  处。

十一、(15分) 已知某系统的状态方程为:

$$\dot{x} = \begin{bmatrix} 0 & 1 \\ 3 & -2 \end{bmatrix} x + \begin{bmatrix} 0 \\ 1 \end{bmatrix} u$$

$$y = [-1 \ 1]x$$

- (1) 判定该系统是否渐近稳定, 是否有界输入有界输出 (BIBO) 稳定?
- (2) 若初始条件  $x(0) = [1 \ -1]^T$  且输入  $u(t) = 1(t)$  时, 求系统的状态响应  $x(t)$ 。

2013 年硕士学位研究生入学考试试题

科目代码: 874 科目名称: 微机原理与接口技术 满分 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本试题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

一、填空题 (每空 1 分, 共 30 分)

- 8086、8088 对外有\_\_\_\_\_根地址线, 可直接寻址的地址范围为\_\_\_\_\_字节。
- \_\_\_\_\_的值与\_\_\_\_\_的值一起确定下一条要取出的指令地址。
- 在算术运算中, 字节运算大于\_\_\_\_\_时, DF 标志置位。运算结果各位都为 0 时, ZF=\_\_\_\_\_。
- 当 CPU 采样 READY 为低时, 表明访问的\_\_\_\_\_还未准备好数据, 则 CPU 需插入\_\_\_\_\_周期。
- 8086/8088 CPU 最小模式下的典型时序有: \_\_\_\_\_、输入输出、中断相应、系统复位及\_\_\_\_\_。
- 伪指令中除了\_\_\_\_\_外, 其余均不占用\_\_\_\_\_空间。
- STI 指令使中断 IF=\_\_\_\_\_, 允许中断; CLC 清\_\_\_\_\_标志位。
- SCASW 指令中, 关键字存放在\_\_\_\_\_中。STOSB 中指定的一个字节存放在\_\_\_\_\_中。
- A/D 转换的主要指标有\_\_\_\_\_和分辨率。
- 实现参数传递的方法有: 利用\_\_\_\_\_、利用堆栈和利用\_\_\_\_\_中的存储单元。
- 存储器常用的替换策略有: \_\_\_\_\_和\_\_\_\_\_策略。
- 给定一堆栈区, 其地址为: 1250H:0000H—1250H:0100H, (SP)=0052, 则栈顶的物理地址为\_\_\_\_\_, 栈底的物理地址为\_\_\_\_\_。
- INTEL 8253 有 3 个独立的\_\_\_\_\_位计数器通道, 每个通道有\_\_\_\_\_种工作方式。
- 在汇编程序设计中, 如果想在运行过程中改变存储单元类型, 可以使用\_\_\_\_\_和\_\_\_\_\_指令实现。
- 串行通信中常用\_\_\_\_\_表示数据传输的速率, 传递线路的控制方式有单工、半双工和\_\_\_\_\_。

二、选择题 (每题 1 分, 共 10 分)

- 在 8251 芯片中, 若设定传输速率为 300 位/秒, 输入脉冲频率为 19.2KHz, 则波特率系数为\_\_\_\_\_。  
(A) 1 (B) 16 (C) 32 (D) 64
- 8086/8088 系统中, 一个栈可使用的最大空间是\_\_\_\_\_。  
(A) 1MB (B) 64KB (C) 由 SP 初值决定 (D) 由 SS 初值决定
- 设 8253 通道 0 的地址为 0F8H, 若要在通道 1 的工作过程中读取其计数值, 则须首先把通道锁存命令发往下列\_\_\_\_\_端口。  
(A) 0F8H (B) 0F9H (C) 0FAH (D) 0FBH
- 已知 8086 微机系统中, RAM 的容量为 32KB, 首地址为 4000H, 且地址连续, 则可用的最高地址为\_\_\_\_\_。  
(A) 4000H (B) 7FFFH (C) BFFFH (D) FFFFH
- 设 8255A 的端口为 0040H—0043H, 将 A 口、B 口均设置为方式 1、均为输入,

PC6 和 PC1 为输出, 则控制字为: \_\_\_\_\_。

- (1) 0B6H (2) 0B8H (3) 0BAH (4) 0BCH
- 要用 64K X 1 位的芯片组成 128K X 8 位的存储器系统, 则地址线至少要多少根及多少片该芯片? \_\_\_\_\_  
(A) 15/16 (B) 16/16 (C) 16/8 (D) 17/16
- 已知 AL=07H, CL=09H, 对非压缩的 BCD 数, 顺序执行 ADD AL, CL 和 AAA 后, AX 和 CF 值分别为多少? \_\_\_\_\_  
(A) 10H/0 (B) 16/1 (C) 106H/1 (D) 106H/0
- 8086 系统采用 8259A 控制中断, 其类型码为 43H, 则中断向量表的中断指针和指向 IRR 的引脚分别为\_\_\_\_\_。  
(A) 43H\*4/IR3 (B) 43H/IR3 (C) 43H/IR7 (D) 43H\*2/IR7
- 已知有两个十进制数 X=-102, Y=20。按 8 位进行编码, 则  $[-1/2X]_{补}$  和  $[X-Y]_{补}$  分别为\_\_\_\_\_。  
(A) 33H/84H (B) 34H/84H (C) 33H/86H (D) 34H/86H
- 存储周期是指\_\_\_\_\_。  
(A) 存储器的读出时间 (B) 存储器进行连续读和写操作所允许的最短时间间隔  
(C) 存储器的写入时间 (D) 存储器进行连续写操作所允许的最短时间间隔

三、简答题 (每题 6 分, 共 30 分)

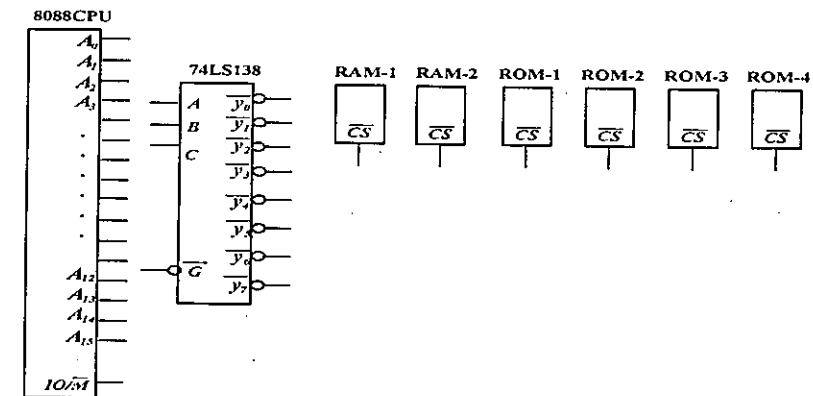
- 简要说明子程序编写时要注意哪些问题?
- 存储器操作数有哪几种? 各具有什么属性?
- 简要分析 8259A 有哪几种的中断结束处理方法? 各自用在什么场合。
- 简要分析在最小模式下, 总线周期的 T1 状态完成的操作及相关信号的作用。
- 8251A 是如何实现对数据和控制端口读写的?

四、按照要求完成下列程序设计

- 在 BCDSTR 开始的区域中存放有 10 个字节的压缩 BCD 数, 将它们转换为 ASCII, 存储在 ASCSTR 开始的区域中。(8 分)
- 要求从 0FBH 端口输入数据, 收到符号&时结束。要求在接收的数据中将数字和字符区分放到 DATA 和 CHAR 开始的区域中, 并分别统计各自的个数存入 NUM1 和 NUM2 单元中。写出完整程序。(12 分)

五、设计 8 位的存储器系统, CPU 为 8088。该系统由 8K 的 RAM 和 4K 的 ROM 组成, RAM 芯片的容量为 4K\*8, ROM 芯片的容量为 1K\*8。要求 RAM 的地址从 A000H 开始, 且地址连续分配; ROM 的地址从 C800H 开始, 且地址连续分配。(15 分)

- 完成下图中的译码电路设计 (只考虑图中的引脚); (9 分)
- 写出各芯片的地址分配。(6 分)



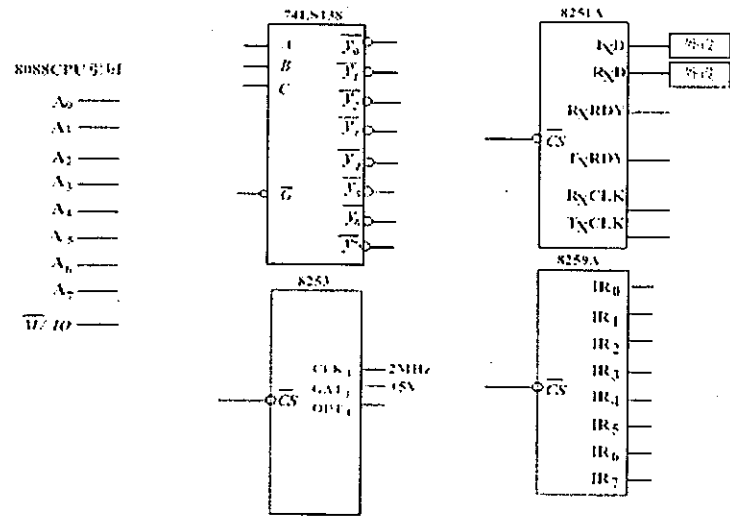
六、8088 系统的组成和功能如下：8253 的通道 1 产生方波为 8251A 提供发送和接收时钟。8251A 通过中断方式从外设接收字符，通过查询方式将数据存储区 BUFF 中的 400 个字符发送给外设。其中，8251A 的波特率系数为 1，波特率为 19200bps，工作在异步模式，8 个数据位/字符，奇校验，2 个停止位；8259A 工作于一般全嵌套、中断自动结束、固定优先级、非缓冲方式。（35 分）

要求：(1) 若 8251A 的端口地址为 A4H、A5H，8259A 的端口地址为 B8H、B9H，8253 的端口地址为 A8H~ABH，完成下图中各接口芯片的译码电路设计（只考虑图中的引脚）；（8 分）

(2) 写出 8253 和 8251A 的初始化程序；（9 分）

(3) 若中断类型码为 57H，完成 8251A 和 8259A 的硬件连接，并写出 8259A 的初始化程序；（8 分）

(4) 编写程序，实现 8251A 的数据发送。（10 分）



七、假设一个数据采集系统采用 ADC0809 与 8088CPU 相连，已知 ADC0809 的 START 地址为 90H，OE 的地址为 88H，查询地址为 80H，通道 0 到通道 7 的端口地址为 90H—97H，现要求用查询方式对模拟通道 IN0 进行采集，采集 100 个数据放在 BUFF 开始的缓冲区中。（10 分）

### 辅助材料

一、译码器芯片 74LS138 规格：

3-8 译码器：

G <sub>1</sub>	G <sub>2A</sub>	G <sub>2B</sub>	C	B	A	输出特性
1	0	0	0	0	0	Y <sub>0</sub> =0, 其余全为 1
1	0	0	0	0	1	Y <sub>1</sub> =0, 其余全为 1
1	0	0	...	...	...	.....
1	0	0	1	1	1	Y <sub>7</sub> =0, 其余全为 1

二、8088/8086 微机系统常用接口芯片控制及状态字

1. Intel 8259A

(1). ICW<sub>1</sub> 写入 8259A 偶地址端口

ICW<sub>1</sub> 的格式如下：

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
×	×	×	1	LTIM	ADI	SNGL	IC <sub>4</sub>

D<sub>7</sub>~D<sub>5</sub>: 在 8086/8088 系统中不用，可随意设置；

D<sub>4</sub>: 恒定 1，为 ICW<sub>1</sub> 的特征位；

D<sub>3</sub>: LTIM 位，规定中断请求信号的触发方式，LTIM=1，为电平触发方式；

LTIM=0，为边沿触发方式；

D<sub>2</sub>: ADI 位，在 8086/8088 系统中不用，可随意设置；

D<sub>1</sub>: SNGL 位，若 8259A 单片工作，SNGL=1，否则 SNGL=0。

D<sub>0</sub>: IC<sub>4</sub> 位，IC<sub>4</sub>=1，表示对相应 8259A 芯片初始化时，须设置 ICW<sub>4</sub>；若 ICW<sub>4</sub> 的各位都为 0，则不需设置 ICW<sub>4</sub>。

(2). ICW<sub>2</sub> 写入 8259A 奇地址端口

ICW<sub>2</sub> 用以设置相应 8259A 芯片所管理 8 级中断源的中断类型码，其中低 3 位为 8 级中断源的编码，

高 5 位由用户自由设置。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
×	×	×	×	×	×	×	×

(3). ICW<sub>3</sub> 写入 8259A 奇地址端口

ICW<sub>3</sub> 用于 8259A 的级联方式

对主片来讲，如果 IR<sub>i</sub> 接有从片，则其 ICW<sub>3</sub> 中相应的位置 1；否则，其 ICW<sub>3</sub> 中相应的位置 0。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
×	×	×	×	×	×	×	×
IR <sub>7</sub>	IR <sub>6</sub>	IR <sub>5</sub>	IR <sub>4</sub>	IR <sub>3</sub>	IR <sub>2</sub>	IR <sub>1</sub>	IR <sub>0</sub>

对从片来讲，D<sub>7</sub>~D<sub>3</sub> 不用，可以随意设置，D<sub>2</sub>~D<sub>0</sub> 为该从片中断请求输出信号所接主 8259A 芯片

中断输入引脚 IR<sub>i</sub> 中，i 的编码。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
×	×	×	×	×	×	×	×
ID <sub>2</sub>	ID <sub>1</sub>	ID <sub>0</sub>					

(4). ICW<sub>4</sub> 写入 8259A 奇地址端口

ICW<sub>4</sub> 的格式如下：

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	SFNM	BUF	M/S	AEOI	μPM

D<sub>7</sub>~D<sub>5</sub>: 恒定为 000, 是 ICW<sub>4</sub> 的特征位;  
 D<sub>4</sub>: SFNM 位, SFNM=1, 中断优先级设置为特殊的全嵌套模式; SFNM=0, 中断优先级设置为普通的全嵌套模式;  
 D<sub>3</sub>: BUF 位, 若 8259A 通过外部总线缓冲器与系统数据总线相连, 则置 BUF=1; 若 8259A 与系统数据总线直接相连, 则置 BUF=0;  
 D<sub>2</sub>: M/S 位: 在缓冲方式下, 用来表明相应 8259A 是否主片, 若为主片, 置 M/S=1; 否则置 M/S=0; 在非缓冲方式下, 该位没有实际意义, 可以随意设置。  
 D<sub>1</sub>: AEOI 位: AEOI=1, 置自动中断结束方式; AEOI=0, 中断结束需用中断结束命令。  
 D<sub>0</sub>:  $\mu$ PM 位: 若系统中微处理器选用 8086/8088, 则设置  $\mu$ PM=1; 若系统中微处理器选用 8080/8085, 则设置  $\mu$ PM=0;

(5). OCW<sub>1</sub> 写入 8259A 奇地址端口  
 若使 8259A 的 IR<sub>i</sub> 中断请求呈屏蔽状态; 则置 OCW<sub>1</sub> 中的第 i 位=1, 否则, 置 OCW<sub>1</sub> 中的第 i 位=0,  
 OCW<sub>1</sub> 的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
M <sub>7</sub>	M <sub>6</sub>	M <sub>5</sub>	M <sub>4</sub>	M <sub>3</sub>	M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>

## 2. Intel 8253

8253 的方式控制字写入 8253 的控制字寄存器, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
SC <sub>1</sub>	SC <sub>0</sub>	RW <sub>1</sub>	RW <sub>2</sub>	M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>	BCD

SC<sub>1</sub>~SC<sub>0</sub>: 通道选择位, 00: 选择通道 0; 01: 选择通道 1; 10: 选择通道 2; 11: 非法;  
 RW<sub>1</sub>~RW<sub>0</sub>: 读/写方式选择位, 00: 发锁存控制命令; 01: 只读/写低位字节; 10: 只读/写高位字节; 11: 依次读/写低位、高位字节;  
 M<sub>2</sub>~M<sub>0</sub>: 工作方式选择位, 000: 方式 0; 001: 方式 1;  $\times$ 10: 方式 2;  $\times$ 11: 方式 3; 100: 方式 4; 101: 方式 5;  
 BCD: 计数制选择位, BCD=1, 按十进制 (BCD 码) 计数; 否则, 按二进制计数。

## 3. Intel 8255A

(1). 8255A 的命令控制字写入 8255 的控制字寄存器  
 8255 命令控制字的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	A 组工作方式	A 口 I/O	PC <sub>7</sub> ~PC <sub>4</sub> I/O	B 组工作方式	B 口 I/O	PC <sub>3</sub> ~PC <sub>0</sub> I/O	

D<sub>7</sub>: 恒为 1, 8255A 命令控制字的特征位  
 D<sub>6</sub>~D<sub>5</sub>: A 组工作方式选择位, 00: 方式 0; 01: 方式 1; 1 $\times$ : 方式 2;  
 D<sub>4</sub>: A 口 I/O 选择位, 0: 输出; 1: 输入;  
 D<sub>3</sub>: PC<sub>7</sub>~PC<sub>4</sub>I/O 选择位, 0: 输出; 1: 输入;  
 D<sub>2</sub>: B 组工作方式选择位, 0: 方式 0; 1: 方式 1;  
 D<sub>1</sub>: B 口 I/O 选择位, 0: 输出; 1: 输入;  
 D<sub>0</sub>: PC<sub>3</sub>~PC<sub>0</sub>I/O 选择位, 0: 输出; 1: 输入;

(2). 8255A 的端口 C 置位/复位命令控制字写入 8255 的控制字寄存器  
 8255 的端口 C 置位/复位命令控制字的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	$\times$	$\times$	$\times$	C 口相应位的编码			置位/复位选择

D<sub>7</sub>: 恒为 0, 8255A 的端口 C 置位/复位命令控制字的特征位;  
 D<sub>6</sub>~D<sub>4</sub>: 未用, 可以随意设置;  
 D<sub>3</sub>~D<sub>1</sub>: C 端口中需要置位/复位的位编码;  
 D<sub>0</sub>: 置位/复位选择位, D<sub>0</sub>=1: 置位; D<sub>0</sub>=0: 复位。

## 4. Intel 8251

(1). 方式控制字, 写入 8251 的奇地址端口, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------

S <sub>2</sub>	S <sub>1</sub>	EP	PEN	L <sub>2</sub>	L <sub>1</sub>	B <sub>2</sub>	B <sub>1</sub>
----------------	----------------	----	-----	----------------	----------------	----------------	----------------

D<sub>7</sub>~D<sub>6</sub>: 异步通信方式下, 用来设置停止位的个数, 00: 无效; 01: 1 位; 10: 1.5 位; 11: 2 位; 同步通信方式下, D<sub>6</sub> 用来设置内、外同步方式, D<sub>6</sub>=0 设置内同步, D<sub>6</sub>=1 设置外同步; D<sub>7</sub> 位用来确定同步字符的个数, D<sub>7</sub>=1 设置单同步字符; D<sub>7</sub>=0 设置双同步字符;  
 D<sub>5</sub>: 奇/偶校验选择位, D<sub>5</sub>=1, 选择偶校验; D<sub>5</sub>=0, 选择奇校验;  
 D<sub>4</sub>: 奇/偶校验允许位, D<sub>4</sub>=1, 允许设置奇/偶校验位; D<sub>4</sub>=0, 不允许设置奇/偶校验位;  
 D<sub>3</sub>~D<sub>2</sub>: 用以确定所传送数据字符的位数, 00: 5 位; 01: 6 位; 10: 7 位; 11: 8 位  
 D<sub>1</sub>~D<sub>0</sub>: 用以确定发送与接收数据的速率  
 00: 用于同步传送;  
 01: 用于异步传送, 波特率系数为 1;  
 10: 用于异步传送, 波特率系数为 16;  
 11: 用于异步传送, 波特率系数为 64。

(2). 控制命令字, 写入 8251 的奇地址端口, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
EH	IR	RTS	ER	SBRK	RxE	DTR	TxEN

D<sub>7</sub>: EH 位, EH=1 用以启动搜索同步字符;  
 D<sub>6</sub>: IR 位, IR=1 迫使 8251 内部复位;  
 D<sub>5</sub>: RTS 位, RTS=1 使 8251 从相应引脚输出有效信号;  
 D<sub>4</sub>: ER 位, ER=1 使所有错误标志复位;  
 D<sub>3</sub>: SBRK 位, SBRK=1 迫使 8251 发中止符;  
 D<sub>2</sub>: RxE 位, RxE=1 允许接收;  
 D<sub>1</sub>: DTR 位, DTR=1 数据终端准备好;  
 D<sub>0</sub>: TxEN 位, 允许发送。

(3). 工作状态字, 从 8251 的奇地址端口读入, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DSR	SYNDET	FE	OE	PE	TxE	R <sub>x</sub> RDY	T <sub>x</sub> RDY

D<sub>7</sub>: DSR 位, 若 8251 的  $\overline{DSR}$  引脚输入有效信号, 则该位被置 1;  
 D<sub>6</sub>: SYNDET 位, 若 8251 的 SYNDET 引脚为高电平, 则该位被置 1;  
 D<sub>5</sub>: FE 位, 若在数据接收过程中, 出现了帧错误, 则该位被置 1;  
 D<sub>4</sub>: OE 位, 若在数据接收过程中, 出现了溢出错误, 则该位被置 1;  
 D<sub>3</sub>: PE 位, 若在数据接收过程中, 出现了奇偶校验错误, 则该位被置 1;  
 D<sub>2</sub>: TxE 位, 若 8251 的 TxE 引脚为高电平, 则该位被置 1;  
 D<sub>1</sub>: R<sub>x</sub>RDY, 若 8251 的 R<sub>x</sub>RDY 引脚为高电平, 则该位置 1;  
 D<sub>0</sub>: T<sub>x</sub>RDY, 若 8251 的数据发送缓冲器空, 则该位被置 1;